1*4/*06*/*2019

**PROJETO FINAL DLP - DIAGRAMA**

**ENTRADA DE DADOS**

**-> Entra dados ASCII (7bits) (pode ser em memória)**

**LED2**

**O para bit ZERO 1 para bit UM**

**UNIDADE DE PROCESSAMENTO**

**TX**

**ENTRADAS: Clkbaudrate, paridadeSelecionada, ASCiiIn**

**Os dados entram completos com os 7 bits (um caractere ASCII) Adiciona-se startbit, 2 stp bits e um bit de paridade, de forma que o dado fica assim:**

**stopbit, paridade ASCII,startbit -> Saída**

**Realiza um shift register para os dados salrem de um por um na velocidade do clkbaudrate**

**SAIDA: Bits que vem do shift do vetor de transmissão**

**RECEPTOR DE DADOS SERIAL**

**Recebe o próprio sinal de saída dos dados**

**da unidade de processamento e lê**

**\*Contador para ler uma entrada inteira e**

**guardar o dad*o***

**LED1: CLOCK**

**1 para semici**clo alto do

**ENTRADA: -bit à bit da unidade de processamento, na**

**mesma velocidade clkbaudrate**

--**CLKbaudurate**

**clock**

**clkbaudrate**

**SAIDA: ASCII**

**GERADOR DE BAUDRATE**

**Entrada: clk 50MHz**

**Gera e seleciona velocidade de transmissão e**

**recepção serial.**

**MUX de selação de clock**

**ASCII to SSD**

**SAIDA: clkbaudurate, selacionadoCLK**

**ENTRAD*A*: dado ASCII que vem do RECEPTOR DE DADOS SERIAL**

**selecionadoCLK**

**SAIDA: SSD do caracter gerado**

***M*ATRIZ DE** LED CLK

0-> clk1 0-> clk2 0-> clk3 0 -> clk4

**1 para clk escolhido**

***1/2***

1*4/*06*/*2019

**PROJETO FINAL DLP - DIAGRAMA**

2*/2*